

35.C14691



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	
	:	Examiner: NYA
HIDETOSHI HAYASHI ET AL.)	
	:	Group Art Unit: 2712
Application No.: 09/630,526)	
	:	
Filed: August 1, 2000)	
	:	
For: IMAGE PICKUP APPARATUS)	November 28, 2000

Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

Applicants hereby claim priority under the International Convention and all rights to which they are entitled under 35 U.S.C. § 119 based upon the following Japanese Priority Application:

11-221736 filed August 4, 1999.

A certified copy of the priority document is enclosed.

Applicants' undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All

correspondence should continue to be directed to our address
given below.

Respectfully submitted,


Attorney for Applicants

Registration No. 25,823

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

NY_MAIN 129095 v 1

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

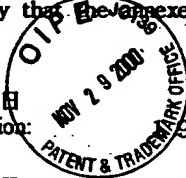
09/1630.526

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:



1999年 8月 4日

出願番号

Application Number:

平成11年特許願第221736号

出願人

Applicant (s):

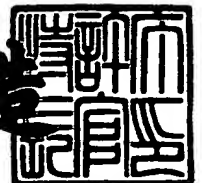
キヤノン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 8月25日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3067811

【書類名】 特許願

【整理番号】 3905010

【提出日】 平成11年 8月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00
H04N 1/032

【発明の名称】 固体撮像装置

【請求項の数】 11

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 林 英俊

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 結城 修

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 遠藤 敏朗

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 橋本 誠二

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 光学系により形成された被写体像をイメージセンサにより光電変換できる固体撮像装置において、

デコーダ部により選択された選択ブロックと、シフトレジスタ部により前記選択ブロック内の各選択ラインとにより、前記イメージセンサの画素領域を任意の画素単位で走査開始、終了することを特徴とする固体撮像装置。

【請求項 2】 請求項 1 に記載の固体撮像装置において、前記任意の画素単位中の前記任意の画素位置で走査開始、終了することを特徴とする固体撮像装置。

。

【請求項 3】 請求項 1 又は 2 に記載の固体撮像装置において、前記デコーダ回路には前記選択ブロックの選択用の複数の選択パルスが供給され、前記シフトレジスタ部には少なくとも走査用のクロックとリセットパルスが供給されることを特徴とする固体撮像装置。

【請求項 4】 請求項 1 又は、 2， 3 に記載の固体撮像装置において、前記イメージセンサの領域にはオプティカルブラック部を備え、前記選択ブロックは前記オプティカルブラック部を含まないことを特徴とする固体撮像装置。

【請求項 5】 請求項 3 又は 4 に記載の固体撮像装置において、更に、シフトレジスタ部には、選択出力線をオン・オフする選択パルスが供給され、前記選択ブロックの選択用の複数の選択パルスと前記選択パルスにより選択された選択出力線により前記イメージセンサの特定領域を読み出すことを特徴とする固体撮像装置。

【請求項 6】 請求項 5 に記載の固体撮像装置において、前記デコーダ部に前記選択ブロックの選択用の複数の選択パルスとラッチパルスとを受けるラッチ回路と、前記シフトレジスタ部には少なくとも走査用のクロックとリセットパルス及び前記選択出力線をオン・オフする選択パルスが供給され、前記オプティカルブラック部をスキップした後に前記ラッチ回路をオンすることを特徴とする固体撮像装置。

【請求項 7】 複数の画素を含むセンサ部と、前記センサ部内の任意の複数の画素からなるブロックを指定する指定手段と、前記指定手段に基いて、前記ブロック内の画素を走査する走査手段とを有することを特徴とする固体撮像装置。

【請求項 8】 請求項 7 に記載の固体撮像装置において、前記ブロックは、水平方向又は垂直方向に配列された複数の画素であることを特徴とする固体撮像装置。

【請求項 9】 複数の画素を含むセンサ部と、前記センサ部内の画素を順次走査する走査手段と、前記走査を開始する任意の画素と前記走査を終了する任意の画素を指定する指定手段と、を有することを特徴とする固体撮像装置。

【請求項 10】 請求項 7 乃至 9 のいずれかに記載の固体撮像装置において、前記走査手段は、水平方向又は垂直方向に走査することを特徴とする固体撮像装置。

【請求項 11】 請求項 7 乃至 10 のいずれかに記載の固体撮像装置において、前記指定手段は、前記走査手段を制御するデコーダ回路であり、前記走査手段はシフトレジスタであることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、撮像装置に係り、特にランダムアクセスのシフトレジスタを備えた撮像装置に関する。

【0002】

【従来の技術】

従来、2次元のX-Y座標上に複数の固体撮像素子を用いるイメージセンサにおいて、特に水平／垂直シフトレジスタを用いて、X-Yアドレスとする撮像装置で、水平／垂直シフトレジスタによる走査を制御するデコーダ回路を用いることにより、全画素に直接ランダムアクセスでき、任意の画素範囲の指定も可能であった。

【0003】

しかし、近年の固体撮像素子を用いた撮像装置は、年々その画素数が増加する

傾向にあり、それに伴いデコーダ本数が増加し、回路そのものが繁雑になるという問題が生じる。例えば水平 2 0 0 0 画素もの画素数がある固体撮像素子の場合、デコーダの本数は $2^{11} = 2 0 2 4$ となり、2 0 0 0 画素を指し示すには 1 1 本（ビット）ものデコーダ回路が必要となる。

【 0 0 0 4 】

また、デコーダ回路を用いずに全画素にランダムアクセスする場合、従来の方法では、走査したくない領域を高速で読み飛ばすという方式が取られていたが、高速動作により消費電力が大きいと言う問題があった。それを解決するために、メモリアイプのシフトレジスタが提案されている。

【 0 0 0 5 】

一例として特開平 6 - 3 5 0 9 3 3 号公報においては、各シフトレジスタユニット部にそれぞれ電位記憶部を設け、任意指定範囲の読み出しを可能にしている。図 1 2 にその簡単な概念図を示す。図において、2 個のインバータ 1 0 5, 1 0 6 を直列接続してなるシフトレジスタユニット 1 0 1 と、記憶部 1 0 3 とシフトレジスタユニット 1 0 1 の情報を記憶部 1 0 3 へ記憶させ、記憶部 1 0 3 に記憶された情報をシフトレジスタユニット 1 0 1 に転送するためのスイッチ 1 0 2 とで、シフトレジスタ単位ブロック 1 0 4 を構成し、単位ブロック 1 0 4 を複数個縦続接続して、シフトレジスタを構成して、記憶部 1 0 3 に記憶された単位ブロックの画像データを一括して読み出し、次の単位ブロックについても、記憶部の単位ブロックの画像データを読み出して、順次必要な画像データを読み出すようになっている。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、これを実現するためには、読み出し開始位置を設定するプロセスと、実際に任意範囲を読み出すプロセスの 2 段階のプロセスを要する。

【 0 0 0 7 】

本発明はこのような問題を考慮し、実質的にランダムアクセスが可能なシフトレジスタを有した撮像装置を提供することを目的としている。

【 0 0 0 8 】

【課題を解決するための手段】

本発明の撮像装置は、撮像装置のセンサ部にデコーダ回路とシフトレジスタを保持し、任意の画素単位でランダムアクセスでき、かつその中で、さらに任意の画素位置で走査できる手段を備えていることを特徴とする。

【0009】

また、本発明は、光学系により形成された被写体像をイメージセンサにより光電変換できる固体撮像装置において、デコーダ部により選択された選択ブロックと、シフトレジスタ部により前記選択ブロック内の各選択ラインとにより、前記イメージセンサの画素領域を任意の画素単位で走査開始、終了することを特徴とする。

【0010】

また、上記固体撮像装置において、前記デコーダ回路には前記選択ブロックの選択用の複数の選択パルスを供給され、前記シフトレジスタ部には少なくとも走査用のクロックと、前記シフトレジスタ部をリセットするリセットパルスが供給されることを特徴とする。

【0011】

また、本発明は、複数の画素を含むセンサ部と、前記センサ部内の任意の複数の画素からなるブロックを指定する指定手段と、前記指定手段に基づいて、前記ブロック内の画素を走査する走査手段とを有することを特徴とする。

【0012】

また、本発明は、複数の画素を含むセンサ部と、前記センサ部内の画素を順次走査する走査手段と、前記走査を開始する任意の画素と前記走査を終了する任意の画素を指定する指定手段と、を有することを特徴とする。

【0013】

【発明の実施の形態】

本発明による実施形態について、図面を参照しつつ詳細に説明する。

【0014】

〔第1の実施形態〕

図1は本発明の第1の実施形態に基づく、デコーダ回路とシフトレジスタを備

えた固体撮像装置の簡単な撮像部構成図の例である。

【 0 0 1 5 】

この図 1 において、 9×9 画素のセンサ部 5 0 の構成で、それぞれの X 方向、Y 方向の各 9 画素を指定するために、水平シフトレジスタ部 2 0 と垂直シフトレジスタ部 4 0 を設け、さらにその外側にシフトレジスタ部 2 0, 4 0 内を任意の画素範囲毎に指定できるように、水平デコーダ部 1 1 0 と垂直デコーダ部 3 0 を兼ね備えている。また、画素部 5 1 に、例示として 3×3 画素部毎に、ブロック 5 2 で区分されている。

【 0 0 1 6 】

ここでの水平デコーダ 1 1 0 の入力は、HD 0 ~ HD 1 が入力され、水平シフトレジスタ部 2 0 はクロックパルス (CLK) と水平リセットパルス (HRES) が入力できるようになっている。また、垂直方向も同じ構成であり、垂直デコーダ 3 0 の入力はVD 0 ~ VD 1 が入力され、垂直シフトレジスタ部 4 0 はクロックパルス (CLK) と垂直リセットパルス (VRES) が入力できるようになっており、水平部と垂直部とはほぼ同一なので、以下、水平方向だけで論じていく。

【 0 0 1 7 】

まず、水平デコーダ部 1 1 0 の入力 HD 0 ~ HD 1 は、2 本 (bit) なので、これだけで水平 9 画素を全て指定することはできないが、3 画素までなら直接指定することはできる。このため、この図 1 では水平 9 画素を 3 画素ずつの 3 ブロックに分け、そのブロックの先頭画素の 3 画素をデコーダ部 1 1 0 で指定できるように構成したものである。

【 0 0 1 8 】

水平シフトレジスタ部 2 0 は、水平デコーダ部 1 1 0 とセンサ部 5 0 の間に位置し、水平デコーダ部 1 1 0 から得られる各ブロック 5 2 の先頭位置を受け取り、クロックパルス CLK により、その位置からセンサ部 5 0 を 1 画素ずつ走査させるように構成したものである。走査を止めるときは水平リセットパルス HRES により、水平シフトレジスタ部 2 0 の内容を消去する。

【 0 0 1 9 】

図 2 は、図 1 の水平デコーダ部 1 1 0 と水平シフトレジスタ部 2 0 の回路構成の 1 実施形態を示したものである。

【 0 0 2 0 】

水平デコーダ部 1 1 0 は、入力として HD 0 を下位桁、HD 1 を上位桁とし、AND 回路 1 3, 1 4 と、インバータ 1 1, 1 2 で構成したものである。水平シフトレジスタ部 2 0 は D 型フリップフロップ 2 1 ~ 2 4 で構成している。またこれ以外に、水平デコーダ部 1 1 0 の回路として、AND やインバータ以外の素子を用いたり、水平シフトレジスタ部 2 0 の構成を従来例のようにクロックドインバータで構成してもよい。

【 0 0 2 1 】

これらの水平デコーダ部 1 1 0 の入力に $\langle \text{HD } 0, \text{HD } 1 \rangle$ に $\langle 0, 0 \rangle$ が入力されると、左端の画素が選択され、それと同時にフリップフロップ 1 (FF 1) 2 1 が選択される。その後クロックパルス CLK により FF 2 (2 2), FF 3 (2 3) と順次 1 クロック毎にシフトされ、FF 3 (2 3) から FF 4 (2 4) への伝達には AND 回路 1 4 $\langle 0, 1 \rangle$ の出力とを入力する OR 回路 2 5 を介して FF 4 (2 4) に転送され、順次 9 画素目が走査し終わるまでリセットパルスを入れなければ、全画素を走査することができる。

【 0 0 2 2 】

次に、任意の画素範囲を走査する場合の概念図を図 3 に、そのタイミングを図 4 に示す。図 3 は図 2 の水平デコーダ部 1 1 0 と水平シフトレジスタ部 2 0 とを用いて、任意の画素範囲を走査する場合の概念図である。

【 0 0 2 3 】

図 3 に示すように、 9×9 画素を 3×3 画素の 9 ブロックに分割し、ブロック 2, 5, 8 だけを、この水平デコーダ部 1 1 0 と水平シフトレジスタ部 2 0 との回路で走査する状況である。図 4 のタイミングのように、これらのブロックの先頭画素を指定したために、 $\langle \text{HD } 0, \text{HD } 1 \rangle$ に $\langle 0, 1 \rangle$ を入力する。これにより FF 1 ~ FF 3 を飛び越し、直接 FF 4 を指定できる。水平リセットパルス HRES を入力し、その後、クロックパルス CLK 毎に水平シフトレジスタ部 2 0 の入力により、次々に指定される位置がシフトしていく。

【0024】

つぎに、図4の h_3 が出力された直後に、水平リセットパルスHRESで、フリップフロップFFをリセットすることにより、ブロック2だけを走査することができる。その後、このタイミングで3回ずつ走査することにより、ブロック5、ブロック8と走査することができる。なおここではデコーダ入力の内容はラッチ等により1パルスだけ出力されるものとする。

【0025】

上記実施形態では、水平部について説明したが、垂直デコーダ部及び垂直シフトレジスタ部についても、選択されたブロックを水平ラインの並びで選択する場合に、上記と同様にデコードして、垂直シフトレジスタ部で画素読み出し領域を選択することにより、同様な動作で、同一の効果を奏し得る。

【0026】

[第2の実施形態]

次に、本発明の第2の実施形態として、任意の画素範囲で走査して、さらにその中で任意の画素位置で走査開始、終了することができる撮像装置の実施形態を示す。

【0027】

図5は当初区分けしたブロック内の途中から走査したい場合の概念図である。図6は図5の構成を実施するための回路構成例である。この回路構成は基本的には図2と同じだが、シフトレジスタ内に水平画素選択スイッチ201-204としてMOS型のトランジスタを付け、各スイッチの出力に抵抗211~214で終端しており、水平選択パルスHSELで全スイッチを同時にON、OFFを行う。この構成でのタイミングを図7に示す。

【0028】

この場合、図5の水平選択出力線 h_2 から走査を始めたいのであるが、図7に示すように、まず水平デコーダ部110の入力として<0, 1>を入力し、水平選択出力線 h_1 を選択できるようにする。しかしここでは、水平選択パルスHSELがLowになっているため、水平選択出力線 h_1 からは出力されない。

【0029】

次のクロックCLKでシフトし、水平選択出力線 h_2 に移動するが、この時点で水平選択パルスHSELをHighにし、出力可能にし続ける。その後、 h_4 が走査し終わったところで、水平選択パルスHSELをLowにし、フリップフロップ24～27にリセットかける。これにより所望の位置から所望の範囲を走査できることになる。

【0030】

[第3の実施形態]

次に、図8は図5の構成にオプティカル・ブラック(OB)部53を付け加えた場合の実施形態である。図8(a)ではその概念図を示す。ここでは簡略化のために9×9画素のセンサ部50に、水平シフトレジスタ部20からの水平選択出力線 h_1 、 h_2 に該当する2×9画素のOB部を設けている。

【0031】

このOB部は1H毎に必ず走査されなければならない領域である。またこの図では、水平選択出力線 $h_6 \sim h_8$ に該当するブロック2, 5, 8だけを選択走査する。図8(b)にはそれを行うための水平デコーダ部110と水平シフトレジスタ部20の回路構成である。この特徴として、オプティカル・ブラック(OB)部53の垂直2画素列分を必ず走査するように水平シフトレジスタ部20にOB端子とDタイプのフリップフロップ221, 222が付加されていることである。このOB部53が走査し終わってから、1クロック空けて、水平デコーダ部110にあるラッチ回路15のアウトプットイネーブル(OE)にOB部終了のタイミングが伝えられ、走査したい範囲が走査できるようになる。また、OB部53には、Dフリップフロップ221, 222と水平選択パルスHSELで動作する水平画素選択スイッチ201～204のMOS型のトランジスタと、各スイッチの出力に抵抗211～214で終端している。

【0032】

以下、図9に、その図8に示すOB部を有する撮像装置のタイミングを示すとともに動作を説明していく。

【0033】

まず、水平デコーダ部110に<0, 1>というデータが入力されるが、これ

はラッチパルスにより 1 クロックの長さのデータにされ、ラッチ回路 15 内に保存される。次に OB にパルスが入ると同時に h_1 から出力され、OB 部をシフトしながら走査していく。その後、OB 部の走査が終わり、FF2 (222) で 1 クロックおいてから、そのタイミングがラッチ回路 15 の OE に伝えられ、水平選択出力線 h_6 からセンサ部の走査が始まる。走査終了は水平選択出力線 h_8 が走査し終わったところで、水平選択パルス HSEL を Low にし、その後でフリップフロップをリセットする。

【0034】

なお、ここでは水平選択パルス HSEL により、図 5 と同じ様な領域だけを走査することも可能である。

【0035】

〔第 4 の実施形態〕

次に本発明の第 4 の実施形態について論ずる。

【0036】

図 10 (a) は 128×128 画素の 1 ブロックを横 15 ブロック縦 8 ブロック並べた、全 1920×1024 画素のセンサ部を有した構成であり、1 H 期間に 5 画素分の OB 部 53 を考慮している。

【0037】

ここではブロックの途中から走査、終了したい場合であるので、走査開始、終了画素を含んだブロックを全て走査し、図 11 の DRAM のメモリ 13 に格納し、使用しない画素はメモリ 13 内部で選択しないという特徴を持つ。回路構成は図 8 と基本的には同じであるが、図 8 のようにブロック内部で走査開始、終了する位置を遅らせる必要がないため、水平選択パルス HSEL は必要ない。タイミングは図 9 に水平選択パルス HSEL を省いたものと同じであるが、図 10 (b) にその特徴だけを述べてある。水平走査ブロックとしては水平デコーダ部 110 から、 $\langle 0010 \rangle \sim \langle 0101 \rangle$ までを選択し、必要なブロックを走査する。それらは全て図 11 の DRAM 13 に格納され、カメラ DSP 12 によって取捨選択される。

【0038】

図 1 1 には、この発明を用いるシステム全体の構成図を示す。この図 1 1 における光電変換素子 4、x、y アドレス選択部 5、6 に、本発明を用いることによって、全体的な実施形態とする。

【 0 0 3 9 】

図 1 1 において、光電変換部は、被写体からの光が絞り羽根 1 を通り、レンズ 2 により光電変換素子 4 へ結像されることで被写体の画像を電気信号に変換する。また、3 はモワレ等を防ぐ為に光の高域をカットする光学ローパス・フィルターと、光電変換素子 4 の特性に応じた色補正フィルターと、および視覚領域外の赤外線カットフィルター等が組み合わされたフィルター群である。

【 0 0 4 0 】

光電変換素子 4 で変換された光／電気信号は、タイミング・ジェネレータ T G 8 からの信号により、X アドレス選択部 6 および Y アドレス選択部 5 で 2 次元で画素位置選択がおこなわれ、タイミング調整部 7 に読み出される。このタイミング調整部 7 では、光電変換素子 4 からの出力（1 ～ 複数本）のタイミング調整がおこなわれる。そして、光電信号は、A G C 1 0 により読み出し電圧を制御され、A / D 変換器 1 1 でデジタル信号に変換される。

【 0 0 4 1 】

カメラ・デジタル・シグナル・プロセッサ D S P 1 2 は、動画または静止画の画像処理をおこなう。また、M P U 1 4 は、この画像処理の際に使われるパラメータをカメラ D S P 1 2 に設定したり、自動露光 A E、オートフォーカス A F 処理をおこなったりする。また、発振器 9 は絞り羽根 1 や、タイミング・ジェネレータ T G 8、カメラ D S P 1 2 及び M P U 1 4 へ種々なクロックを供給して、各部のタイミングを統一して取る集中タイミング用の発振器である。

【 0 0 4 2 】

画像処理する際の一時的な記憶領域として、D R A M のメモリ 1 3 が用いられ、不揮発性の記憶領域として画像記録媒体 1 8 が用いられる。画像記録媒体 1 8 は、例えば、スマート・メディア、磁気テープ、または光ディスク等の記録媒体を用いる。

【 0 0 4 3 】

この画像処理後の表示をおこなう為に、ビデオエンコーダ 1 5、および、C R T 1 6 等が設けられている。また、ビューファインダ 1 7 は、例えば L C D の様なもので画像記録媒体 1 8 に記憶する前に被写体を確認したりする為に用いられる。また、C R T 1 6 に限らず、表示パネルとしては液晶やプラズマディスプレイ、電子放出素子を用いた表示パネル等であってもよい。これらの C R T 1 6、ビューファインダ 1 7、画像記録媒体 1 8 等の出力装置は、C R T 1 6、および、ビューファインダ 1 7 等に限らず、印画紙や普通紙等のプリンタ等を用いてもよい。

【 0 0 4 4 】

上述した各実施形態において、光電変換素子 4 とその他の例えばカメラ D S P 1 2、M P U 1 4 等は、別々の半導体チップに形成してもよいし、また、C M O S プロセス等によって、同一半導体チップの基板上に形成してもよい。さらにシステム L S I として、コンパクトな構成が近く実現される。

【 0 0 4 5 】

【発明の効果】

以上説明したように、本発明の撮像装置によれば、走査信号を形成するシフトレジスタにおいて、ランダムにシフト動作を開始、終了することができるので、簡単な回路動作によって、撮像画におけるある任意のエリアを指定でき、その任意の指定エリアをディスプレイの 1 画面分の大きさに拡大して表示できる。また、全てデコーダだけで組む必要がないので、デコーダ入力本数を減らせることができる。

【図面の簡単な説明】

【図 1】

本発明の撮像装置のデコーダ部とシフトレジスタ部の構成例である。

【図 2】

本発明の撮像装置の水平デコーダ部とシフトレジスタ部の概念回路図である。

【図 3】

本発明の撮像装置の水平デコーダ部とシフトレジスタ部の概念構成例である。

【図 4】

本発明の撮像装置の任意範囲の水平デコーダ部とシフトレジスタ部のタイミングである。

【図 5】

本発明の撮像装置の任意範囲の水平デコーダ部とシフトレジスタ部の概念構成例である。

【図 6】

本発明の撮像装置のシフトレジスタ部の回路図である。

【図 7】

本発明の撮像装置の水平デコーダ部とシフトレジスタ部の動作タイミングである。

【図 8】

本発明の撮像装置の水平デコーダ部とシフトレジスタ部の概念構成図と回路図である。

【図 9】

本発明の撮像装置の水平デコーダ部とシフトレジスタ部の O B 部を考慮した動作タイミングである。

【図 1 0】

本発明の撮像装置の水平デコーダ部とシフトレジスタ部の概念構成図と動作タイミングである。

【図 1 1】

本発明の撮像装置の全体構成図である。

【図 1 2】

従来例の撮像装置の走査用シフトレジスタの構成例である。

【符号の説明】

- 1 絞り羽根
- 2 レンズ
- 3 光線修正部
- 4 光電変換素子
- 5 Y アドレス選択部

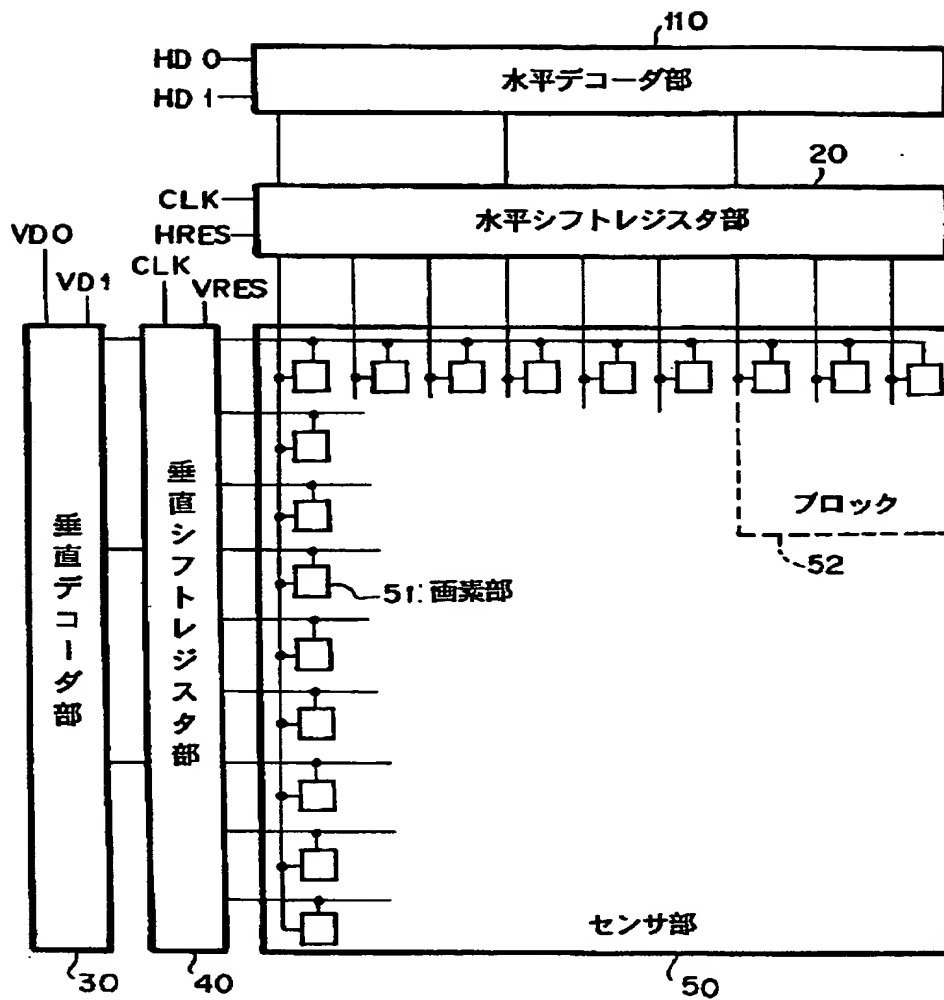
- 6 Xアドレス選択部
- 7 タイミング調整部
- 8 タイミング・ジェネレータTG
- 9 発振器
- 10 AGC
- 11 アナログ／デジタル（A／D）変換部
- 12 カメラDSP部
- 13 DRAMメモリ
- 14 MPU（マイクロプロセッサ）
- 15 ビデオエンコーダ
- 16 CRT
- 17 ビューファインダ
- 18 画像記録媒体
- 20 水平シフトレジスタ部
- 21～24 フリップフロップ
- 25 OR回路
- 30 垂直デコーダ部
- 40 垂直シフトレジスタ部
- 50 センサ部
- 52 3×3画素のブロック
- 53 OB部
- 54 128×128画素のブロック
- 101 シフトレジスタユニット
- 102 スイッチ
- 103 記憶部
- 104 シフトレジスタ単位ブロック
- 105, 106 インバータ
- 110 水平デコーダ部
- 111, 112 インバータ

1 1 3, 1 1 4 A N D回路
2 0 1 ~ 2 0 4 選択スイッチ
2 1 1 ~ 2 1 4 負荷抵抗
2 2 1 ~ 2 2 3 Dフリップフロップ

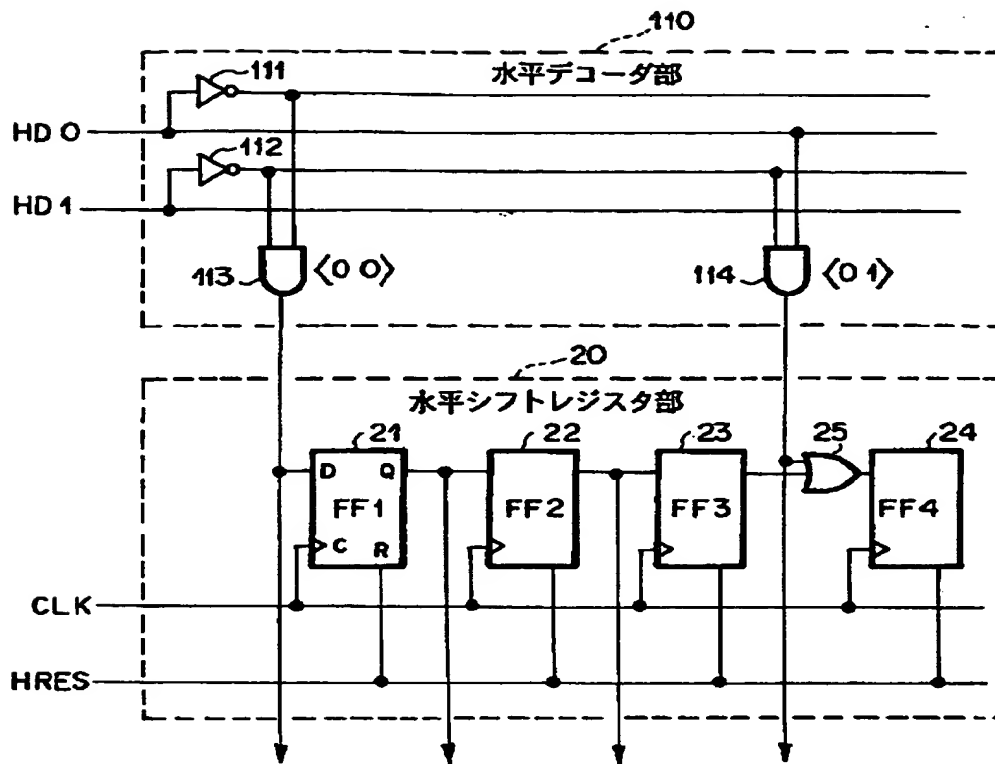
【書類名】

図面

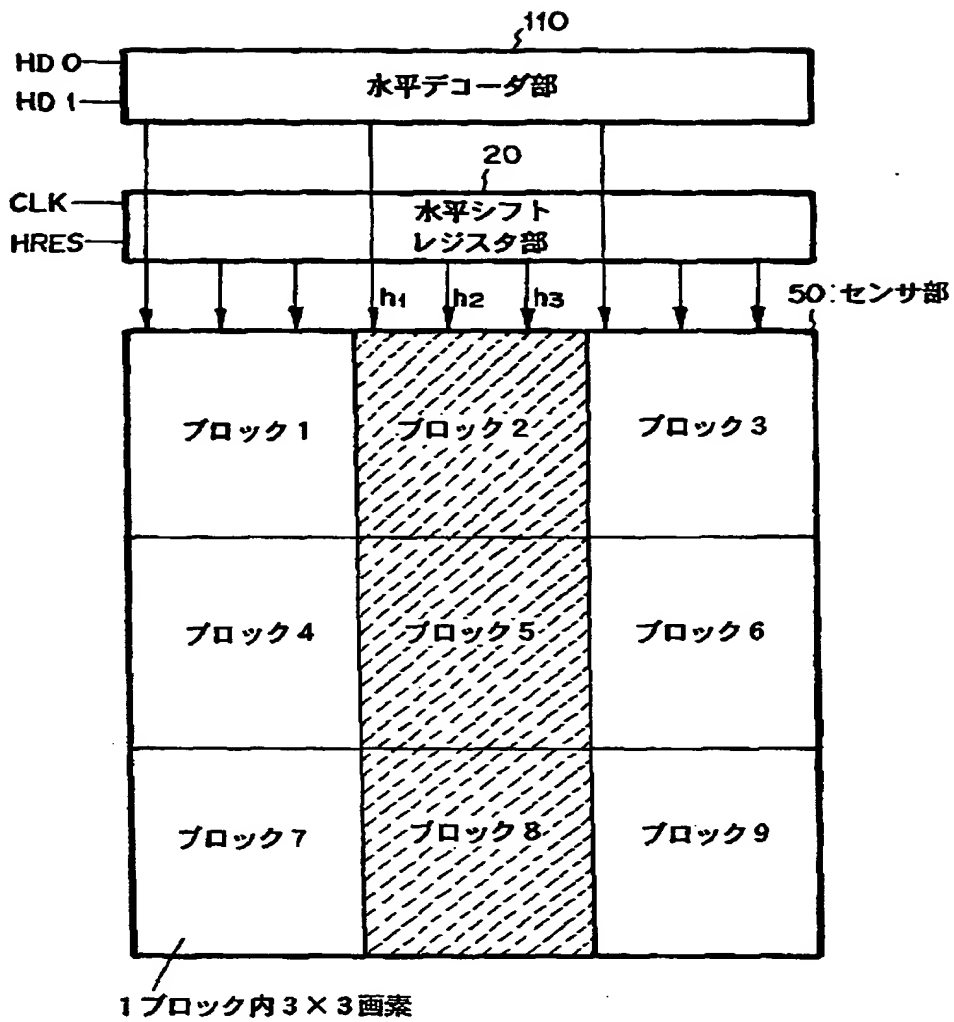
【図 1】



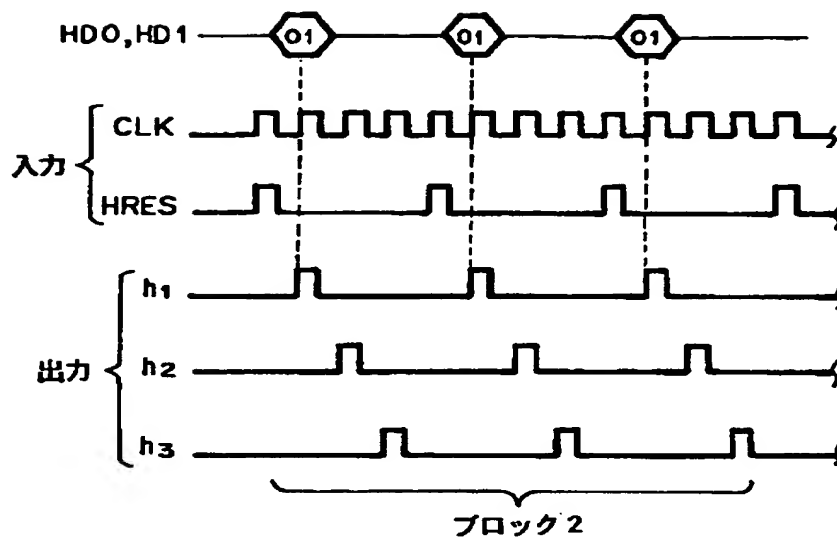
【図 2】



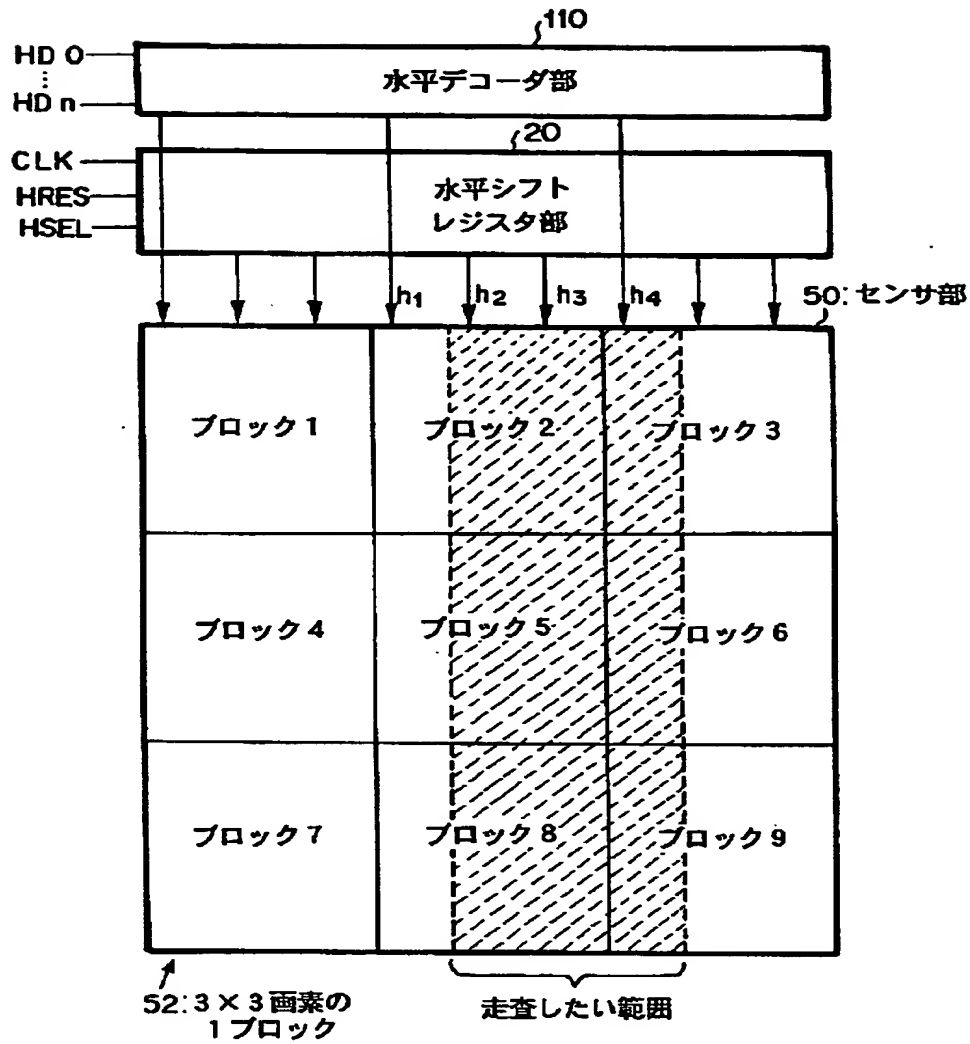
【図 3】



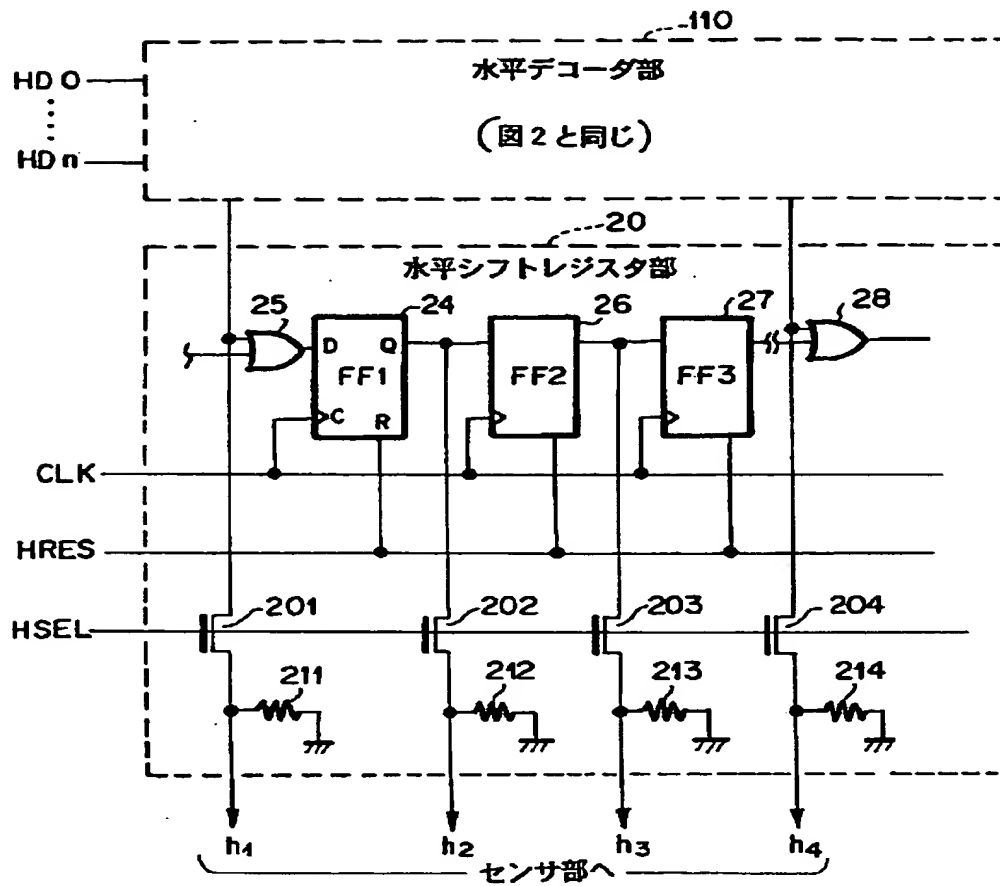
【図 4】



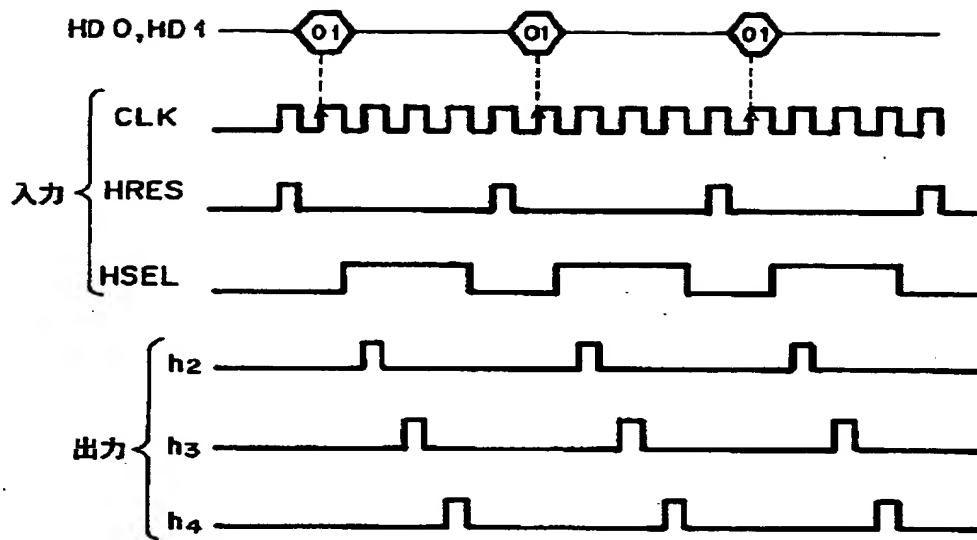
【図 5】



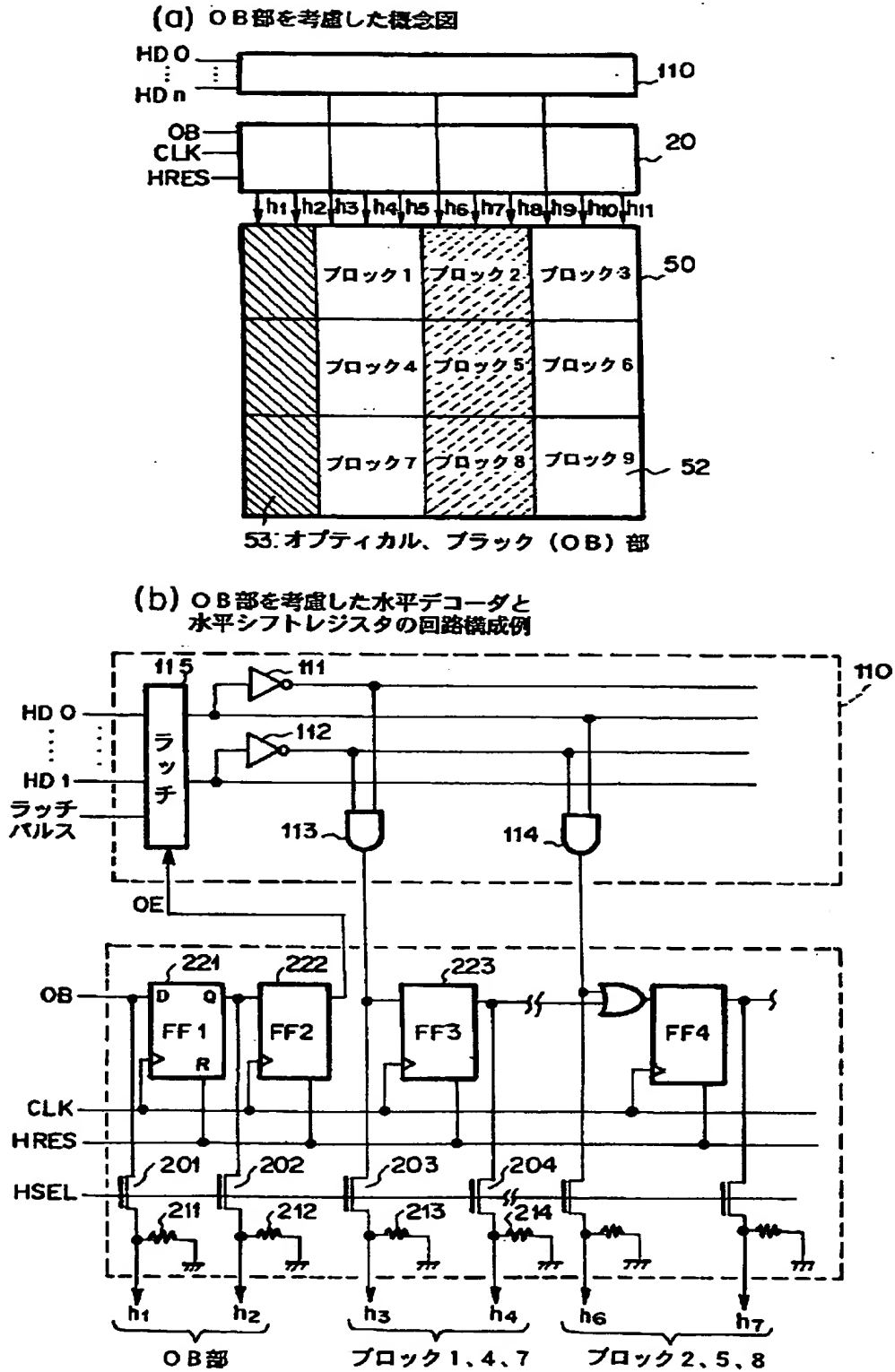
【図 6】



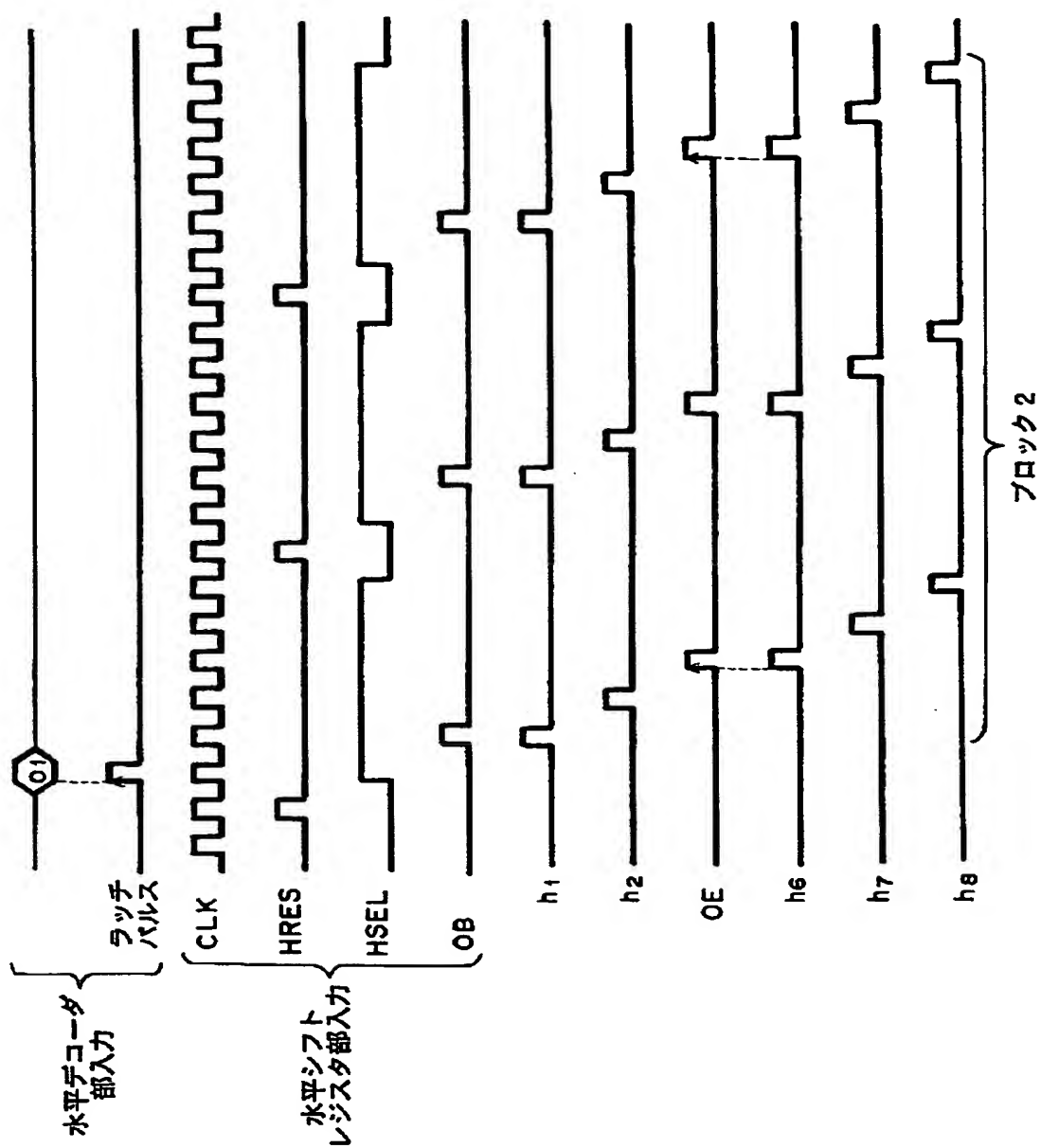
【図 7】



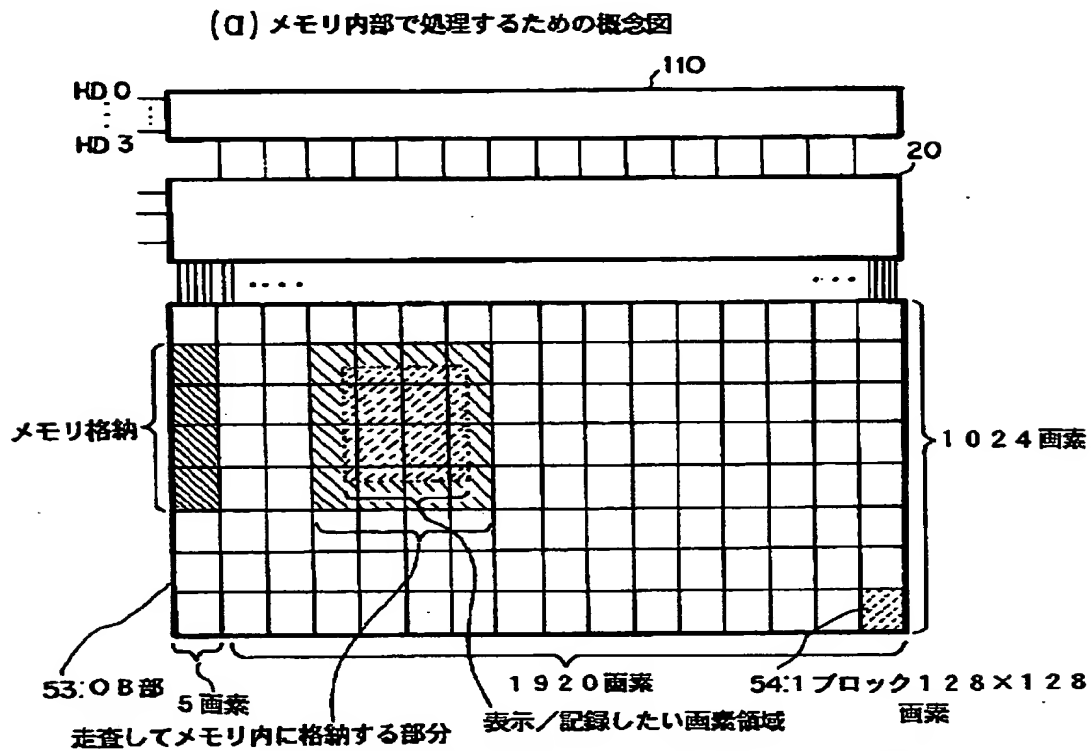
【図 8】



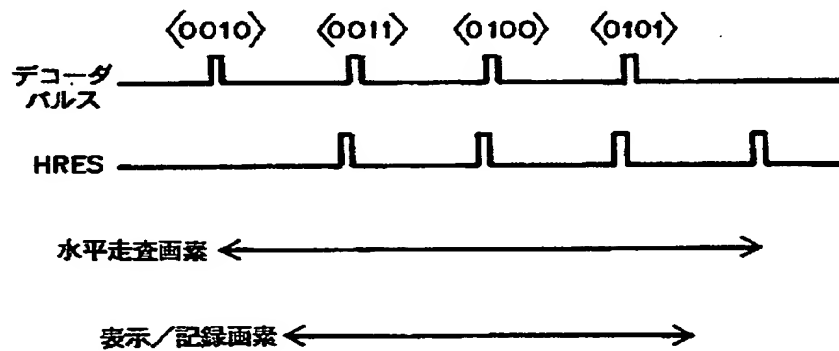
【図 9】



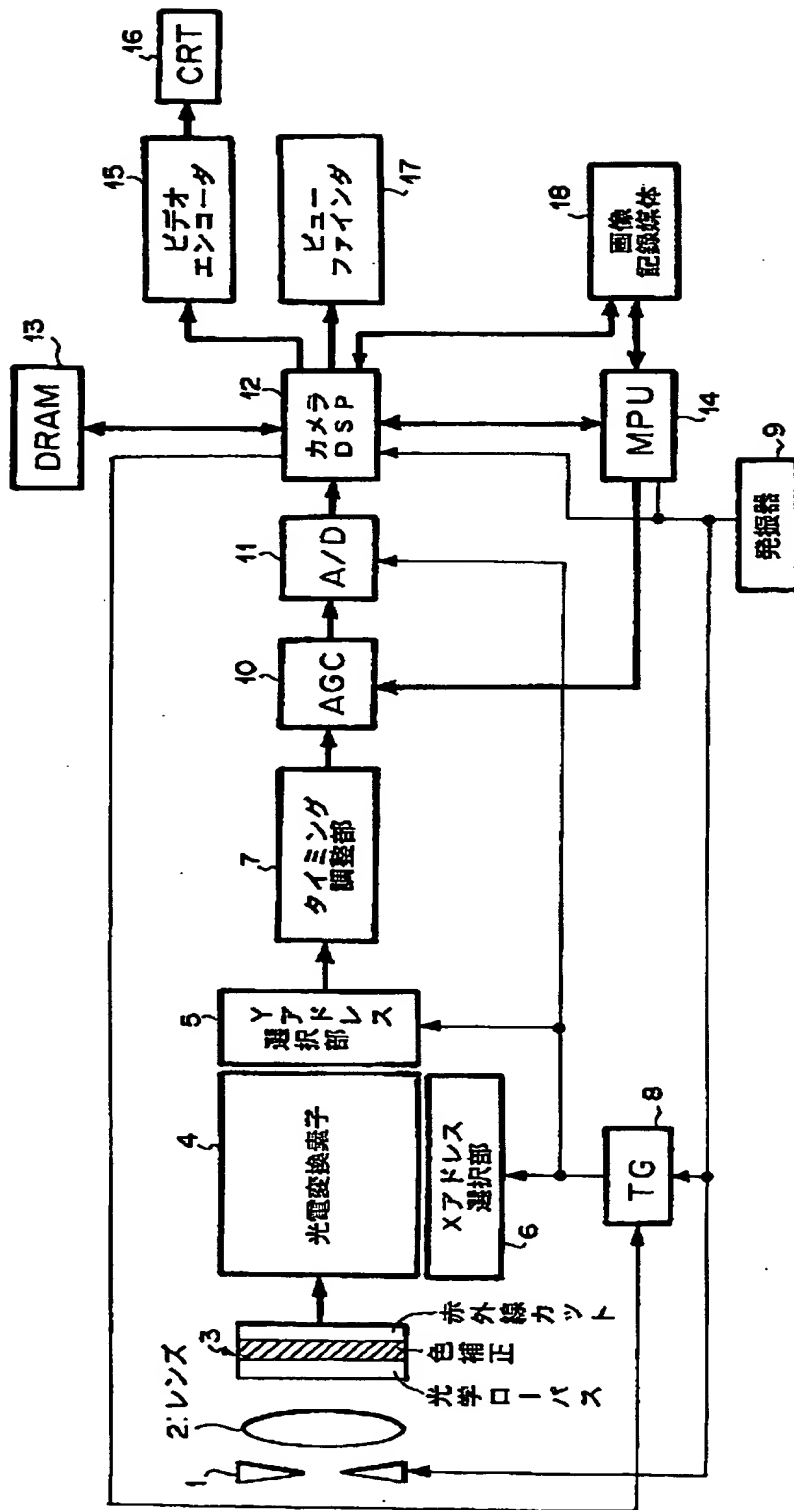
【図 1 0】



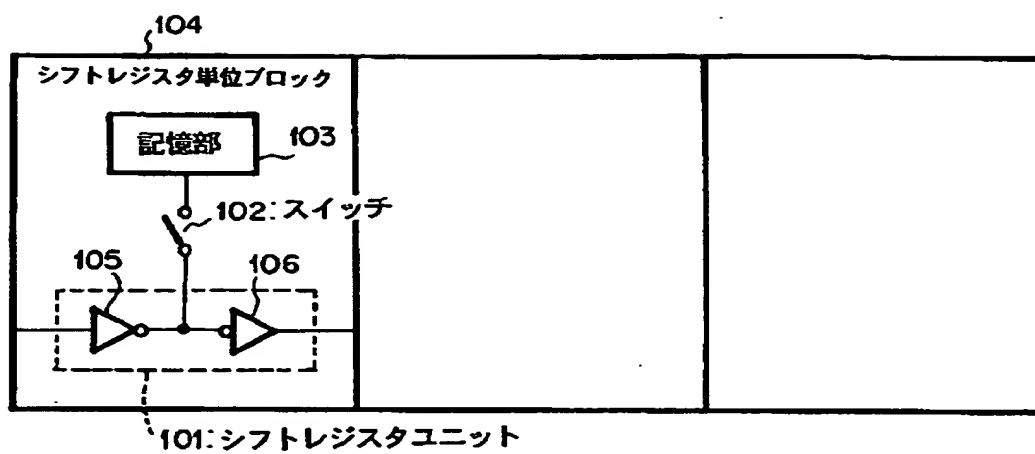
(b) メモリ内部で処理するための 水平走査タイミング構成図



【図 11】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 撮像装置で、実質的にランダムアクセスが可能なシフトレジスタを有した撮像装置を提供することを課題とする。

【解決手段】 光学系により形成された被写体像をイメージセンサにより光電変換できる固体撮像装置において、デコーダ部により選択された選択ブロックと、シフトレジスタ部により前記選択ブロック内の各選択ラインとにより、前記イメージセンサの画素領域を任意の画素単位で走査開始、終了することを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社